

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-034990

(43)Date of publication of application : 05.02.1992

(51)Int.Cl.

H05K 3/32

H05K 13/04

(21)Application number : 02-141905

(71)Applicant : NEC KANSAI LTD

(22)Date of filing : 30.05.1990

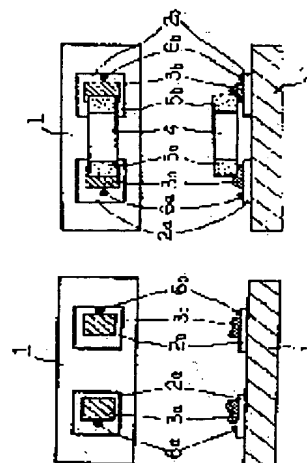
(72)Inventor : MURASHIMA SHIGENOBU

(54) MANUFACTURE OF HYBRID INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To prevent the unsatisfactory open of the electrodes of an element by a method wherein with a conductive paste for electrode connection use printed on element mounting lands, dummy patterns for position recognition use are printed and an element mounting position is recognized by these dummy patterns and the element is mounted in the position.

CONSTITUTION: A pair of dummy patterns 6a and 6b for position recognition use, which are used as a reference, and respective lands 2a and 2b are first discriminated and binarized by a binary-coded image discriminating camera. At the time of mounting of an element 4, the element 4 has only to be installed in such a way that the its central part comes to the center position between the patterns 6a and 6b. According to such a way, even if the shift of printing is caused in a pair of conductive patterns and a pair of the dummy patterns, the patterns are simultaneously printed, are shifted by the same amount and the central positions between the patterns are not shifted. Thereby, the element is mounted in the center between a pair of conductive pastes and the unsatisfactory open of electrodes of the element is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-34990

⑮ Int.Cl.⁵

H 05 K 3/32
13/04

識別記号

B
M

庁内整理番号

6736-4E
8315-4E

⑬ 公開 平成4年(1992)2月5日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 混成集積回路装置の製造方法

⑯ 特 願 平2-141905

⑰ 出 願 平2(1990)5月30日

⑱ 発 明 者 村 島 繁 延 滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社
内

⑲ 出 願 人 関西日本電気株式会社 滋賀県大津市晴嵐2丁目9番1号

明 細 書

発明の名称

混成集積回路装置の製造方法

特許請求の範囲

表面実装基板のランドに導電性ペーストを印刷し、素子を2値化像識別カメラ方式により識別し、所定のランドに搭載する組立工程において、素子を搭載するランドに、電極接続用の導電性ペーストを印刷すると同時に、位置認識用ダミーパターンを印刷して、この位置認識用ダミーパターンにより素子の搭載位置を認識して搭載することを特徴とする混成集積回路装置の製造方法。

発明の詳細な説明

産業上の利用分野

この発明は混成集積回路装置(ハイブリッドIC)の製造方法における素子搭載方法に関し、特に、積層セラミックチップコンデンサ等の搭載位

置精度向上のため、ランド部の特定箇所に特別の目印をつけるようにしたものである。

従来の技術

従来より、ハイブリッドICを製造する場合、第3図a,bに示すように、表面実装基板1の上の素子搭載部である一対のランド2a,2bにスクリーンマスク印刷方式により、それぞれ導電性ペースト3a,3bを印刷し、第4図a,bに示すように、素子の一例として、積層セラミックチップコンデンサ4をランド2a,2b部に素子の電極5a,5bがくるように搭載している。なお、通常のハイブリッドICでは、前記素子以外にも、ICや抵抗チップなどを同様な方法で、搭載する。また、積層セラミックチップコンデンサ4だけを、別ラインで、半田ボンディング方式で搭載することもあるが、コストアップの点からは、好ましくない。又、搭載に際しては、コレットとよばれる真空吸着ベン(図示せず)により、積層セラミックチップコンデンサ4を吸着・保持してランド2a,2b部に移動し、定位置に搭載する。

このような定位置への搭載は、表面実装基板¹の表面と、ランド2a,2bとを、2値化像カメラにより識別し、これにて認識されたランド2a,2bの位置を基準として、搭載位置を積層セラミックチップコンデンサ4の中心部が一对のランド2a,2b間の中央にくるようにして行っている。

ここで、ランド2a,2bを基準にするのは、表面の凹凸が少なく、フラットでしかも、ランドの端部が比較的切り立っていて、表面実装基板1との2値化が容易であるからである。

発明が解決しようとする課題

ところで、上記の従来の素子搭載方法では、ランド2a,2bに対する表面実装基板1との2値化像を基準に素子4の搭載位置を判定し、一对のランド2a,2b間の中央部に素子4の中心部がくるように搭載するので、導電性ペースト3a,3bが、印刷ずれをおこしていた場合には、第4図a,bに示すように、例えば、一方の導電性ペースト3bから、離れた位置に素子4の素子の電極5bがくるので、初期的オープン、もしくは信頼性上の問題がおこ

っていた。

なお、それを避けるために、2値化像識別を導電性ペースト3a,3bを基準にするという方法もあるが、第4図bに示すように、導電性ペースト3a,3bの表面は凹凸があり、その端部にはダレがあって、2値化像識別の誤差が大きくなるという新たな問題があり、実現性に乏しい。

課題を解決するための手段

この発明は上記問題点を解決するために、表面実装基板のランドに導電性ペーストを印刷し、素子を2値化像識別カメラ方式により識別し、所定のランドに搭載する組立工程において、素子を搭載するランドに、電極接続用の導電性ペーストを印刷すると同時に位置認識用ダミーパターンを印刷して、この位置認識用ダミーパターンにより素子の搭載位置を認識して搭載することを特徴とする混成集積回路装置の製造方法を提供するものである。

作用

上記の構成によると、2値化像識別カメラに

て、まず、基準となる一对の位置認識用ダミーパターンとそれぞれのランドとを識別して2値化する。そして、素子の搭載時には、その中心部が一对の位置認識用ダミーパターンの中央位置にくるように設定すればよい。

このようにすれば、たとえ、一对の導電性パターンおよび一对の識別用ダミーパターンに印刷ずれがおこっていても、それらは同時に印刷されていて同じだけずれており、その中央位置はずれないので、一对の導電性ペーストの中央に素子が搭載され、素子の電極のオープンは防止される。

実施例

第1図a,bは、この発明の一実施例である混成集積回路装置の製造方法における導電性ペースト印刷完了時、第2図a,bは同素子搭載後の図である。各図において、1は表面実装基板、2aと2bはランド、3aと3bは印刷された導電性ペースト、6aと6b是一对の導電性ペースト3a,3bと同時に印刷されたそれぞれ一对の位置認識用ダミーパターン、4は積層セラミックチップコンデンサ、5aと5bは

その素子の電極部である。ここで、位置識別用ダミーパターン6a,6bの大きさは、あまり大きくなく、すなわち凹凸誤差を小さくするようにして、かつ、2値化像カメラが十分認識できる大きさとする。又、設置する箇所は、一对の識別用ダミーパターン6a,6bの中心が一对の導電性ペースト3aと3bの中心に一致するところに設ける。これはスクリーンマスク印刷方式を適用すれば容易に実施できる。

この実施例によれば、一对の導電性ペースト3a,3bが印刷時にランド2a,2bに対する中心位置がずれても、2値化識別を導電性ペースト3a,3bとずれを同一とする位置識別用ダミーパターン6a,6bで行えるので、素子の電極5a,5bが導電性ペースト3a,3bから外れることはなく、オープンを防止できるという利点がある。

発明の効果

以上のように、本発明によれば、一对の2値化像位置識別用ダミーパターンを導電性ペーストの印刷時に同時に印刷し、その中心が、一对の導電

性ペーストの中央位置に一致するように、ランド部に配したことにより、積層セラミックチップコンデンサ等の素子を導電性ペーストの中心付近に搭載することができ、素子の電極のオープン不良を防止できる効果がある。

2a, 2b …ランド、
3a, 3b …導電性ペースト、
4 …素子（積層セラミックチップコンデンサ）、
5a, 5b …素子の電極部、
6a, 6b …位置識別用ダミーパターン。

図面の簡単な説明

特許出願人

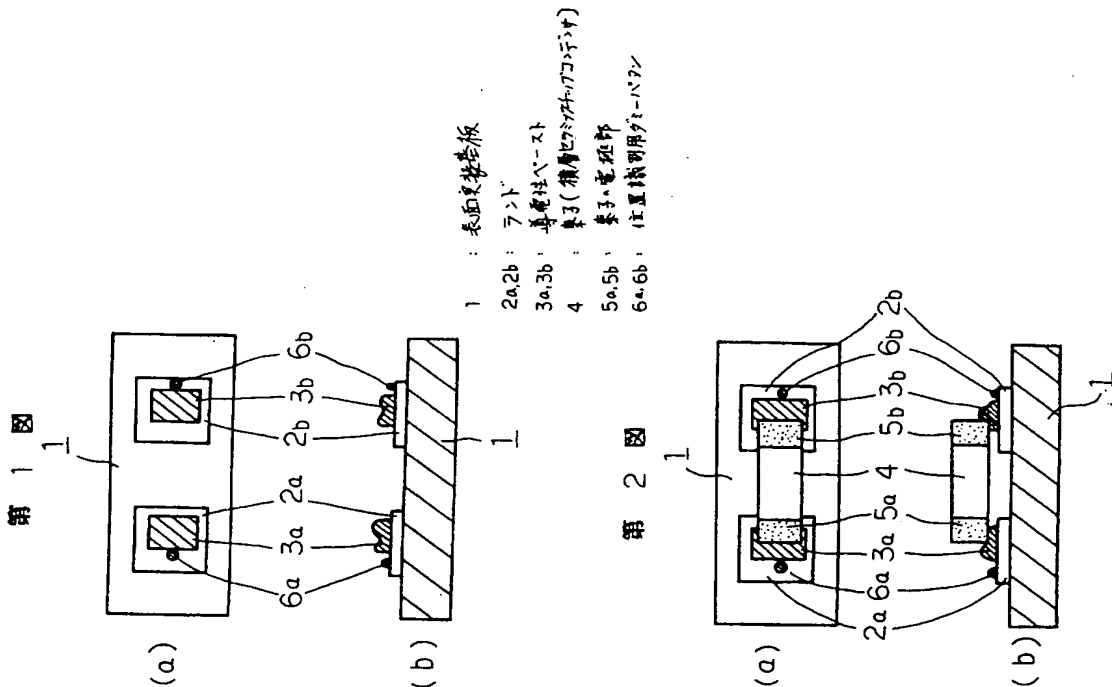
関西日本電気株式会社



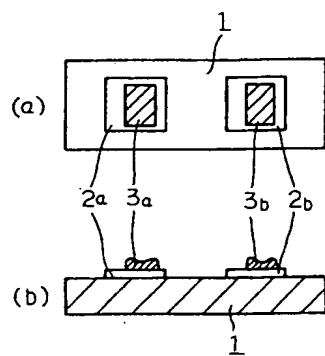
第1図a, b は、この発明の一実施例である混成集積回路装置の製造方法における導電性ペースト印刷完了時の状態を示す図であり、第1図a は平面図、第2図b は縦断面図である。第2図a, b は積層セラミックチップコンデンサ搭載後の状態を示す図であり、第2図a は平面図、第2図b は縦断面図である。

第3図a, b および第4図a, b はそれぞれ従来法を説明するための第1図a, b および第2図a, b に対応する図であり、第3図a は平面図、第3図b は縦断面図、第4図a は平面図、第4図b は縦断面図である。

1 …表面実装基板、



第 3 図



第 4 図

